

CLIPPEDIMAGE= JP407014859A

PAT-NO: JP407014859A

DOCUMENT-IDENTIFIER: JP 07014859 A

TITLE: DIE-BONDING RESIN FOR SEMICONDUCTOR CHIP AND  
SEMICONDUCTOR DEVICE USING  
THE SAME

PUBN-DATE: January 17, 1995

INVENTOR-INFORMATION:

NAME

ONISHI, OSAMU

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP05173707

APPL-DATE: June 21, 1993

INT-CL (IPC): H01L021/52;C08K003/00 ;C08K003/22 ;C08L101/00

ABSTRACT:

PURPOSE: To obtain a resin layer required for insulation using the die-bonding resin containing one or two or more kinds of a metal oxide of specific range of size, a metal nitride, glass and the like as the insulating particles of specific value.

CONSTITUTION: A metal oxide  $\text{SiO}_2$  which is insulating particle, is used as die-bonding resin. The approximate mixture ratio of resin and  $\text{SiO}_2$  is 6:4. In this case the  $\text{SiO}_2$  5, which is controlled in 50 to 110, is uniformly dispersed and mixed at least at 5wt.% or higher. As sufficient insulating property can be secured by the die-bonding resin only using the

die-bonding resin as the die-bonding of semiconductor chip,  
the special  
consideration for semiconductor chip mounting conductive  
wiring is  
unnecessitated.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-14859

(43) 公開日 平成7年(1995)1月17日

| (51) Int.Cl. <sup>9</sup> | 識別記号  | 序内整理番号    | F I | 技術表示箇所 |
|---------------------------|-------|-----------|-----|--------|
| H 0 1 L 21/52             |       | E 7376-4M |     |        |
| C 0 8 K 3/00              | K A A |           |     |        |
| 3/22                      | K A E |           |     |        |
| C 0 8 L 101/00            |       |           |     |        |

審査請求 有 請求項の数4 F D (全 3 頁)

(21) 出願番号 特願平5-173707

(22) 出願日 平成5年(1993)6月21日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大西 修

東京都港区芝五丁目7番1号 日本電気株式会社内

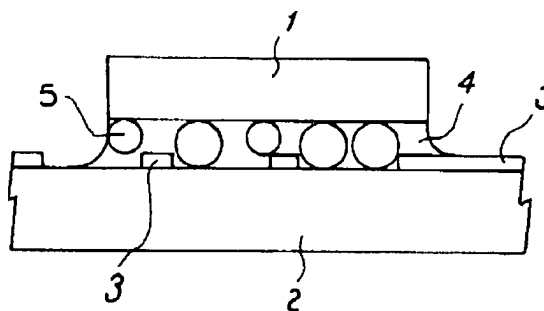
(74) 代理人 弁理士 煤孫 耕郎

(54) 【発明の名称】 半導体チップ用ダイボンディング樹脂及びそれを用いた半導体装置。

(57) 【要約】

【目的】 本発明は、基板のコストを抑え、かつ小型化を実現するためになされたものである。

【構成】 絶縁粒子の径を、50～100 $\mu$ にコントロールし、それを少なくとも5wt%含有させたダイボンディング樹脂4を用いることにより、基板2上の半導体チップ1搭載部に、絶縁層なしで配線導体3を設けることができるようにした。これにより、半導体チップ搭載部が有効活用でき、かつ絶縁層不要のため基板コストが低減できる。



1

## 【特許請求の範囲】

【請求項1】 50～100 $\mu$ サイズの金属酸化物、金属窒化物、ガラス等の無機絶縁物の1種あるいは2種以上を少なくとも5wt%絶縁粒子として含有したことを特徴とする半導体チップ用ダイボンディング樹脂。

【請求項2】 絶縁粒子がSiO<sub>2</sub>であることを特徴とする請求項1記載の半導体チップ用ダイボンディング樹脂。

【請求項3】 樹脂の主成分が、エポキシ樹脂、ポリイミド、シリコン樹脂のいずれかであることを特徴とする請求項1または2記載の半導体チップ用ダイボンディング樹脂。

【請求項4】 50～100 $\mu$ サイズの金属酸化物、金属窒化物、ガラス等の無機絶縁物の1種あるいは2種以上を少なくとも5wt%絶縁粒子として含有した半導体チップ用ダイボンディング樹脂を用いて半導体チップを基板上に搭載したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体チップを配線基板あるいは金属板上にダイボンディングする半導体チップ用ダイボンディング樹脂及びそれを用いた半導体装置に関して、特に、基板上の配線や金属板との電気的な接続を必要としないものに関するものである。

## 【0002】

【従来の技術】従来の半導体チップ用ダイボンディング樹脂及びそれを用いた半導体装置について、図2、3及び4で説明する。この従来のダイボンディング樹脂には、一般に、SiO<sub>2</sub>をフィラーとしたエポキシ樹脂が用いられていた。ここで用いられるフィラー5は、基板2上の配線3と半導体チップ1あるいは金属板と半導体チップ1の絶縁性を保証することを前提に製造されていないため、特に、図4の場合のような、膜厚が7～40 $\mu$ mの配線導体3を有する基板2にダイボンディングすると、フィラー5の径小およびフィラー5の径不均一のため、絶縁性を確保するための十分な間隔を得られないという欠点があった。このため図2のように、半導体チップ1をダイボンディングする部分に導体配線を設けないようにするか、または図3のように、導体配線3上に絶縁層7を設けることにより絶縁性を確保する対策が採られていた。

## 【0003】

【発明が解決しようとする課題】この従来の半導体装置では、例えば図2の場合、ダイボンディングエリアを導体配線用に有効活用できないため、半導体装置の小型化に制約があった。また、図3の場合では、ダイボンディングエリアが有効に活用できるものの、導体配線を絶縁層により保護しなくてはならないため、基板が比較的高価なものとなっていた。

## 【0004】

2

【課題を解決するための手段】本発明は、50～100 $\mu$ サイズの金属酸化物、金属窒化物、ガラス等の無機絶縁物の1種あるいは2種以上を少なくとも5wt%絶縁粒子として含有した半導体チップ用ダイボンディング樹脂であり、また50～100 $\mu$ サイズの金属酸化物、金属窒化物、ガラス等の無機絶縁物の1種あるいは2種以上を少なくとも5wt%絶縁粒子として含有した半導体チップ用ダイボンディング樹脂を用いて半導体チップを基板上に搭載した半導体装置である。

## 【0005】

【作用】本発明においては、50～100 $\mu$ サイズの金属酸化物、金属窒化物、ガラス等の無機絶縁物の1種あるいは2種以上を少なくとも5wt%絶縁粒子として含有しているダイボンディング樹脂を用いることにより、絶縁に必要な樹脂層を得ることができるものであり、小型化を実現することができるものである。本発明で絶縁粒子を50～100 $\mu$ としたのは、配線膜厚の7～40 $\mu$ に対し絶縁に必要な樹脂層を確保するためであり、また、それを少なくとも5wt%としたのは、絶縁粒子をダイボンディング樹脂内に均一に分散混合するための必要量のためである。

## 【0006】

【実施例】次に、本発明の実施例について図面を用いて説明する。図1は、本発明による半導体装置の構造の一実施例である。基板2には、主にセラミックが用いられるが、プリント基板や金属板などを用いても良い。基板2の一面あるいは両面には、Ag-PdやCuなどの導電性が良好な金属による導体配線3が施されている。また、基板2が金属板の場合は、導体配線3を施さないものもある。ダイボンディング樹脂4には絶縁粒子である金属酸化物としてSiO<sub>2</sub>を用い、この例では、樹脂対SiO<sub>2</sub>が6：4の混合比のものである。この場合、50～70 $\mu$ にコントロールされたSiO<sub>2</sub>5が少なくとも10wt%以上均一に分散混合されていることになる。ここで使用しているSiO<sub>2</sub>の粒度分布は図5の通りで、これを含有し、ダイボンディングに使用した場合、基板2と半導体チップ1との間隔は75 $\mu$ 確保できた。導体配線3の膜厚は、材質によって異なるが、最大40 $\mu$ であるから導体配線3と半導体チップ1との間隔は35 $\mu$ 程度であり、少なくとも35 $\mu$ のダイボンディング樹脂による絶縁層が得られる。

【0007】このダイボンディング樹脂がエポキシ樹脂の場合、絶縁抵抗値が、10<sup>8</sup> M $\Omega$ cm以上なので、この例の場合35 $\times$ 10<sup>5</sup> M $\Omega$ 以上の絶縁抵抗値が確保できる。本発明で用いるダイボンディング樹脂4の主成分は、この実施例ではエポキシ樹脂であるが、ポリイミドやシリコンなどの、絶縁性の良好な樹脂であればいずれでもよい。また、絶縁粒子（フィラー）としての酸化物にはSiO<sub>2</sub>を用いる。ダイボンディング樹脂と絶縁粒子（フィラー）との混合比についても、6：4に限ら

50

3

ず、この目的が達成される5wt%以上の範囲であれば任意に設定できる。

【0008】

【発明の効果】以上説明したように本発明のダイボンディング樹脂を、半導体チップのダイボンディングに用いることにより、ダイボンディング樹脂単独で十分な絶縁性を確保できるため、半導体チップ搭載部の導体配線に特別な配慮が不要となり、スペースの有効活用ができる。同時に、半導体チップ搭載部の導体配線上の絶縁膜も不要となるため、基板コストを抑えることが可能となる。また、半導体チップと基板間の、ダイボンディング樹脂層の厚さを任意にコントロールできるという効果を奏するものである。

【図面の簡単な説明】

4

【図1】本発明による一実施例を示す図。

【図2】従来の技術を示す図。

【図3】従来の技術を示す図。

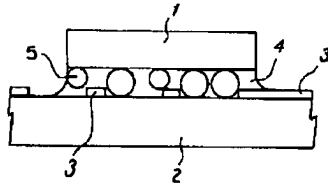
【図4】従来の技術を示す図。

【図5】本発明による一実施例のSiO<sub>2</sub> 粒度分布を示す図。

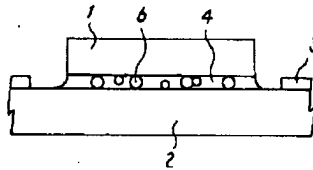
【符号の説明】

- 1 半導体チップ
- 2 基板
- 3 配線導体
- 4 ダイボンディング樹脂
- 5 絶縁粒子（フィラー）
- 7 絶縁層

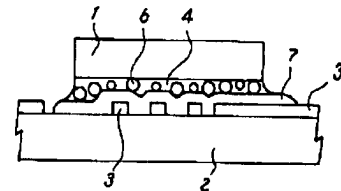
【図1】



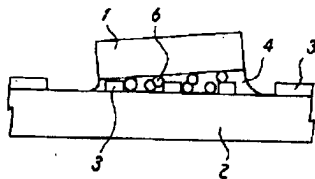
【図2】



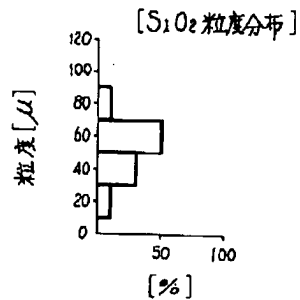
【図3】



【図4】



【図5】



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to what needs neither the wiring on a substrate, nor the electric connection with a metal plate especially about the semiconductor device using the die bonding resin for semiconductor chips and it which carry out die bonding of the semiconductor chip on a wiring substrate or a metal plate.

[0002]

[Description of the Prior Art] Drawing 2, and 3 and 4 explain the semiconductor device using the conventional die bonding resin for semiconductor chips, and it. Generally in this conventional die bonding resin, it is SiO<sub>2</sub>. The epoxy resin made into the filler was used. Since it is not manufactured on the assumption that the filler 5 used here guarantees the insulation of the wiring 3 on a substrate 2, a semiconductor chip 1, or a metal plate and a semiconductor chip 1, wiring especially like [ in the case of drawing 4 ] whose thickness is 7-40microt -- if die bonding is carried out to the substrate 2 which has a conductor 3 -- \*\*\*\* of a filler 5, and the path of a filler 5 -- since it was uneven, there was a fault that sufficient interval for securing insulation could not be obtained for this reason, the portion which carries out die bonding of the semiconductor chip 1 like drawing 2 -- a conductor -- or it makes it not form wiring -- or drawing 3 -- like -- a conductor -- the cure which secures insulation was taken by forming an insulating layer 7 on wiring 3

[0003]

[Problem(s) to be Solved by the Invention] this conventional semiconductor device -- the case of drawing 2 -- die bonding area -- a conductor -- since it was not able to use effectively for wiring, the miniaturization of a semiconductor device had restrictions moreover -- although die bonding area can utilize effectively in the case of drawing 3 -- a conductor -- the substrate became comparatively expensive in order to have to protect wiring by the insulating layer

[0004]

[Means for Solving the Problem] this invention is the die bonding resin for semiconductor chips which contained one sort of inorganic insulators, such as a metallic oxide of 50-100micro size, a metal nitride, and glass, or two sorts or more as a 5wt% insulation particle at least. Moreover, it is the semiconductor device which carried the semiconductor chip on the substrate using the die bonding resin for semiconductor chips which contained one sort of inorganic insulators, such as a metallic oxide of 50-100micro size, a metal nitride, and glass, or two sorts or more as a 5wt% insulation particle at least.

[0005]

[Function] In this invention, by using the die bonding resin which contains one sort of inorganic insulators, such as a metallic oxide of 50-100micro size, a metal nitride, and glass, or two sorts or more as a 5wt% insulation particle at least, a resin layer required for an insulation can be obtained and a miniaturization can be realized. The insulating particle was set to 50-100micro by this invention for securing a resin layer required for an insulation to 7-40micro of wiring thickness, and it was made into 5wt(s)% at least because [ of the initial complement for carrying out distributed mixture of the insulating particle uniformly into a die bonding resin ].

[0006]

[Example] Next, the example of this invention is explained using a drawing. Drawing 1 is one example of the structure of the semiconductor device by this invention. Although a ceramic is mainly used for a substrate 2, you may use a printed circuit board, a metal plate, etc. the conductor by the metal with conductivity good to one flat surface or both sides of a substrate 2, such as Ag-Pd and Cu, -- wiring 3 is performed moreover, the case where a substrate 2 is a metal plate -- a conductor -- there are some which do not perform wiring 3 as the metallic oxide which is an insulating particle at the die bonding resin 4 -- SiO<sub>2</sub> using -- this example -- a resin pair -- SiO<sub>2</sub> It is the thing of the mixing ratio of 6:4. In this case, distributed mixture of the SiO<sub>2</sub> 5 controlled by 50-70micro will be carried out at least at more than 10wt% homogeneity. SiO<sub>2</sub> currently used here Particle size distribution were as drawing 5, and when this was contained and it was used for die bonding, 75micro of intervals of a substrate 2 and a semiconductor chip 1 has been secured. a conductor -- although the thickness of wiring 3 changes with quality of the materials, since it is a maximum of 40micro -- a conductor -- the interval of wiring 3 and a semiconductor chip 1 is about 35micro, and the insulating layer by at least 35micro die bonding resin is obtained

[0007] Insulating resistance is 10<sup>8</sup> when this die bonding resin is an epoxy resin. Since it is more than Momegacm, in the case of this example, the insulating resistance beyond 35x10<sup>5</sup> Mohm is securable. Although they are epoxy resins in this example, as long as the principal components of the die bonding resin 4 used by this invention are good insulating resins, such as a polyimide and silicone, any are sufficient as them. Moreover, in the oxide as an insulating particle (filler), it is SiO<sub>2</sub>. It uses.

Also about the mixing ratio of a die bonding resin and an insulating particle (filler), if it is the range beyond 5wt% in which not only 6:4 but this purpose is attained, it can set up arbitrarily.

[0008]

[Effect of the Invention] since insulation sufficient by the die bonding resin independent is securable by using the die bonding resin of this invention for the die bonding of a semiconductor chip as explained above -- the conductor of the semiconductor chip loading section -- consideration special to wiring becomes unnecessary and effective use of a space can be performed simultaneous -- the conductor of the semiconductor chip loading section -- since it becomes unnecessary [ \*\*\*\*\* on wiring ], it becomes possible to hold down substrate cost Moreover, the effect that the die bonding resin layer thickness between a semiconductor chip and a substrate is arbitrarily controllable is done so.

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The die bonding resin for semiconductor chips characterized by containing one sort of inorganic insulators, such as a metallic oxide of 50-100micro size, a metal nitride, and glass, or two sorts or more as a 5wt% insulation particle at least.

[Claim 2] an insulating particle -- SiO<sub>2</sub> it is -- die bonding resin for semiconductor chips according to claim 1 characterized by things

[Claim 3] The die bonding resin for semiconductor chips according to claim 1 or 2 with which the principal component of a resin is characterized by being an epoxy resin, a polyimide, or silicone resin.

[Claim 4] The semiconductor device characterized by carrying a semiconductor chip on a substrate using the die bonding resin for semiconductor chips which contained one sort of inorganic insulators, such as a metallic oxide of 50-100micro size, a metal nitride, and glass, or two sorts or more as a 5wt% insulation particle at least.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing showing one example by this invention.

[Drawing 2] Drawing showing a Prior art.

[Drawing 3] Drawing showing a Prior art.

[Drawing 4] Drawing showing a Prior art.

[Drawing 5] SiO<sub>2</sub> of one example by this invention Drawing showing particle size distribution.

[Description of Notations]

1 Semiconductor Chip

2 Substrate

3 Wiring -- Conductor

4 Die Bonding Resin

5 Insulating Particle (Filler)

7 Insulating Layer

---

[Translation done.]

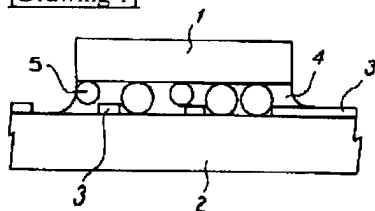
\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

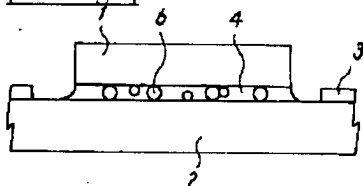
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

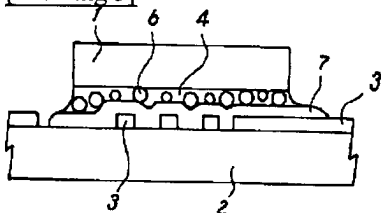
[Drawing 1]



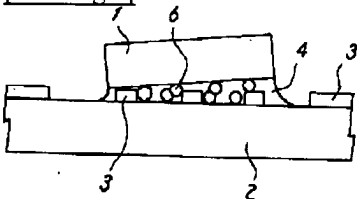
[Drawing 2]



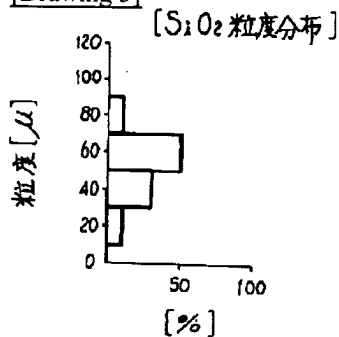
[Drawing 3]



[Drawing 4]



[Drawing 5]



- [Translation done.]